

1/5/1
DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

03695619 **Image available**
ELECTRONIC COMPUTER

PUB. NO.: 04-060719 [JP 4060719 A]
PUBLISHED: February 26, 1992 (19920226)
INVENTOR(s): FUJII HIROSHIGE
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 02-170209 [JP 90170209]
FILED: June 29, 1990 (19900629)
INTL CLASS: [5] G06F-009/30
JAPIO CLASS: 45.1 (INFORMATION PROCESSING -- Arithmetic Sequence Units)
JOURNAL: Section: P, Section No. 1368, Vol. 16, No. 256, Pg. 16, June
 10, 1992 (19920610)

ABSTRACT

PURPOSE: To flexibly execute a high speed processing for an arbitrary program by using an application program which is to be executed at high speed as a special instruction, and constituting a programmable logical circuit corresponding to said instruction.

CONSTITUTION: At the time of compiling, a part of a processing which desires the high speed processing of the application program is designated as a high speed processing part. The processing designated as the high speed processing part is generated as the special instruction of one step. At the same time, circuit data for constituting the programmable logical circuit is generated in a special instruction processing part 7. Generated circuit data is given to a data program write control circuit 9 and write data for constituting the programmable logical circuit is generated. The logical circuit realizing the special instruction is constituted in the special instruction processing part 7 in accordance with write data.

src

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3099889号

(P3099889)

(45)発行日 平成12年10月16日(2000. 10. 16)

(24)登録日 平成12年 8 月18日(2000. 8. 18)

(51)Int.Cl.⁷

識別記号

F I

G 0 6 F 9/38

3 7 0

G 0 6 F 9/38

3 7 0 B

9/30

3 5 0

9/30

3 5 0 A

請求項の数 7 (全 9 頁)

(21)出願番号 特願平2-170209

(22)出願日 平成2年6月29日(1990. 6. 29)

(65)公開番号 特開平4-60719

(43)公開日 平成4年2月26日(1992. 2. 26)

審査請求日 平成9年6月30日(1997. 6. 30)

(73)特許権者 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 藤井 洋重

神奈川県川崎市幸区小向東芝町1 株式

会社東芝総合研究所内

(74)代理人 999999999

弁理士 三好 秀和 (外1名)

審査官 中野 裕二

最終頁に続く

(54)【発明の名称】 電子計算機、プログラマブル論理回路及びプログラム処理方法

1

(57)【特許請求の範囲】

【請求項1】複数の命令からなるアプリケーションプログラムを入力し、この複数の命令を所定の基準に従って、第1の命令と第2の命令に振り分ける命令制御部と、

この命令制御部から前記第1の命令を入力し、これを処理する汎用命令処理部と、

前記アプリケーションプログラムに対応して生成された書込みデータに応じて所望の論理回路を実現可能なプログラマブル論理回路で少なくとも一部が構成され、前記命令制御部から前記第2の命令を入力し、これを処理する特殊命令処理部と、

前記書込みデータを前記特殊命令処理部に供給するプログラム書込み制御部とを有することを特徴とする電子計算機。

2

【請求項2】前記命令制御部、前記汎用命令処理部、前記特殊命令処理部及び前記プログラム書込み制御部が同一チップ内に設けられていることを特徴とする特許請求の範囲第1項記載の電子計算機。

【請求項3】前記汎用命令処理部はレジスタまたはバスを有し、このレジスタまたはバスと前記特殊命令処理部との間でデータの直接授受が可能であることを特徴とする特許請求の範囲第1項または第2項記載の電子計算機。

10 【請求項4】前記特殊命令処理部が乗算器、加算器及びレジスタファイルの少なくとも一つを有することを特徴とする特許請求の範囲第1項乃至第3項のいずれか1項に記載の電子計算機。

【請求項5】前記汎用処理部と前記特殊命令処理部とが同時に並列動作可能であることを特徴とする特許請求の

3

範囲第1項乃至第4項記載のいずれか1項に記載の電子計算機。

【請求項6】第1の命令処理部と、書込みデータに応じて所望の論理回路を実現可能なプログラマブル論理回路で少なくとも一部が構成された第2の命令処理部とを備えた電子計算機のプログラム処理方法であって、複数の命令文からなるアプリケーションプログラムをコンパイルし、所定の基準に従って第1及び第2のオブジェクトコードを生成するステップと、前記プログラマブル論理回路を前記第2のオブジェクトコードに対応した機能に構成するための前記アプリケーションプログラムに対応して生成された書込みデータを生成するステップと、前記書込みデータを前記プログラマブル論理回路に供給し、前記第2の命令処理部をプログラムするステップと、前記第1のオブジェクトコードに応じた処理を前記第1の命令処理部で実行するステップと、前記第2のオブジェクトコードに応じた処理を前記第2の命令処理部で実行するステップとを有することを特徴とするプログラム処理方法。

【請求項7】前記基準は、前記アプリケーションプログラムを実行して、前記アプリケーションプログラムの中で処理時間の大きな部分を抽出した結果に対応して定められることを特徴とする特許請求の範囲第6項記載のプログラム処理方法。

【発明の詳細な説明】

【発明の目的】

（産業上の利用分野）

この発明は、汎用命令中の高速処理を希望する任意の命令を、特殊命令に置き換えることによってプログラム実行の高速化を図る電子計算機に関する。

（従来の技術）

近年、パーソナルコンピュータ、ワークステーションなどのアプリケーションプログラムを実行する汎用計算機が普及している。この様な汎用計算機で、アプリケーションプログラムを高速に実行させる方法として、数値演算プロセッサなどのコプロセッサをメインプロセッサに付加する方法がある。コプロセッサは特定の処理をメインプロセッサよりも数倍～数十倍の速度で実行できる装置である。通常の処理はメインプロセッサで行なうが、特定の命令が来たときには、コプロセッサに制御を渡し、コプロセッサで高速に処理を行なう。この方法では、予め定められた特定の処理については高速処理が可能であるが、通常の処理については依然として高速化されない。また、数値演算命令のように、ほとんどのアプリケーションプログラムを高速処理する命令が用いられているものについては、専用処理装置が開発することも可能である。しかしながら、ほんの一部の応用分野でしか現れない様な処理に対して専用処理装置を開発するこ

4

とは、コストや開発時間を考えるとメリットがない。

また、PLA、PGAなどのフィールドプログラマブルな論理回路は、システム設計者の手元でプログラムすることが可能であるため、早期にシステムを実現する際に使われている。さらに、これらの論理回路を用いて、目的に応じた処理内容に変更させることができるシステムもある。この方法では、第9図のステップ201～ステップ205に示すようなソフトウェアの開発のステップが必要である。すなわち、処理内容が決定してから、プログラマブル論理部の論理を決定し、書き込み、さらにその論理を有効に利用して汎用部分を動作させるソフトウェアを開発する、といった煩わしい作業が要される。このため、各種応用処理にそのまま柔軟に対応できる汎用システムとはいえない。

さらに、マイクロプログラム方式のプロセッサを用いる方法がある。これは、PROMまたはRAMに格納されるマイクロコードのみを変更し、回路構成は変えずにプロセッサの命令および処理内容を変更させる方法である。この方法では、処理を行なう部分が汎用回路であるため、頻繁に使われる処理を1つの特殊命令としても、この1つの特殊命令を実行する実行サイクル数は十～数十サイクル必要となり、十分な高速化は達成できない。

（発明が解決しようとする課題）

このように、アプリケーションプログラムを高速に実行させる方法は、従来いくつか考えられているが、いずれの方法もそれぞれ欠点があった。コプロセッサをメインプロセッサに付加する方法では、特定の処理については高速処理が可能であるが、通常の処理については高速化されなかった。プログラマブル論理回路を使う方法では、煩わしいソフトウェア開発のステップが必要であり、汎用システムとはいえない。また、マイクロプログラム方式のプロセッサを用いる方法においても、十分満足のいく高速化が望めなかった。

そこでこの発明は、このような従来の事情を鑑みてなされたものであり、その目的とするところは、特定のアプリケーションプログラムに依存した特殊なハードウェアを用いず、汎用プログラム中の高速に実行したい任意の処理に対応した理論回路をプログラマブルに構成し、高速処理を実行できる電子計算機を提供することにある。

【発明の構成】

（課題を解決するための手段）

上記目的を達成するため、この発明は、与えられたプログラム中の高速処理を希望する一部の処理を、特殊命令に指定する指定手段と、指定された前記特殊命令をプログラマブル処理回路として構成し、特殊命令を高速処理する特殊命令処理部と、前記特殊命令に応じたプログラマブル論理回路を構成させる書き込みデータを、特殊命令に基づいて生成するデータ生成手段と、前記特殊命令に指定された以外の処理を汎用命令として通常処理す

5

る汎用命令処理部とから構成されている。

(作用)

上記構成において、この発明は、プログラムのコンパイル時に、特にプログラムの中で高速実行を必要とする処理を指定する。これにより、指定された処理は、1つまたは複数の特殊命令で置換される。また、コンパイル時には、特殊命令を実現するプログラマブル論理回路を構成させるための回路データが生成される。

特殊命令処理部では、特殊命令を実現するプログラマブル論理回路を回路データに基づいて構成する。そして、高速実行を必要とする処理のみ特殊命令処理部で処理し、その他の高速実行を必要としない一般の処理は、汎用命令として汎用命令処理部で処理するようにしている。

(実施例)

以下、図面を参照してこの発明の実施例を説明する。

第1図は、この発明の電子計算機のプログラム実行部の構成を示すブロック図である。

同図に示すプログラム実行部1は、命令制御部3、汎用命令処理部5、特殊命令処理部7、およびプログラム書き込み制御回路9が、同一チップ内に備えられている。

命令制御部3は、図示しない外部メモリからコンパイルされた命令をロードし、この命令を汎用命令と特殊命令とに振り分けるところである。また、命令制御部3は、それぞれの命令に応じて汎用命令処理部5あるいは特殊命令処理部7で処理するように制御し、プログラムを実行させるところである。

汎用命令処理部5は、汎用命令を実行するところである。

特殊命令処理部7は、特殊命令を高速実行するところである。この特殊命令処理部7は、プログラム書き込み制御回路9から与えられた書き込みデータに従い、特殊命令をプログラマブル論理回路によって実現する。

第2図は、プログラマブル論理回路の一例を示すプログラマブルゲートアレイ(PGA)である。このプログラマブルゲートアレイは、論理ブロック11(CLB/Configurable Logic Block)が内部に複数個配置されており、その周囲には各種の変接続線が配線されている。さらに、複数の入出力ブロック13(IOB)が、チップを取り囲むように配置されている。

論理ブロック11は、例えば、第3図のように構成されており、外部回路(図示せず)からプログラムすることによって所望の論理回路を実現する。また、変接続線も同様にプログラム可能となっており、この変接続線によって論理ブロック11相互間を自在に変接続する。これら2つの機能によって任意の論理回路を実現する。

なお、特殊命令処理部7は、全てがプログラマブルでなくてもよいのである。例えば、一部の回路が高速化、チップ面積削減などのために乗算器、加算器、レジスタ

6

ファイルなど特定の機能をもっている回路になっていてもよい。

プログラム書き込み制御回路9は、プログラマブル処理回路を構成させるための書き込みデータを、外部のコンパイラから発生される回路データを基に作成し、特殊命令処理部7に与えるものである。なお、回路データは、アプリケーションプログラムの高級言語(またはアセンブリ言語)から機械語へのコンパイル(アセンブル)時に作成される。

汎用命令処理部5と特殊命令処理部7の間では、データのやりとりが可能になっている。これにより、汎用命令処理部5内のレジスタ、バスなどに直接書き込み/読み出しを行なうことができる。また、汎用命令処理部5と特殊命令処理部7とのデータ転送命令を用意することも可能である。

このように、この発明の実施例は構成されており、次にこの発明の作用を説明する。

第4図は、この発明の作用を説明するためのフローチャートである。

まず、外部のコンパイラにより、第5図に示するようなC言語のアプリケーションプログラムがコンパイル(アセンブリ)される(ステップ101、103)。このとき、アプリケーションプログラムの高速処理を希望する一部の処理が、高速化処理部として指定される(ステップ105)。指定方法としては、特定の命令文を自動的に指定する方法、あるいは1度プログラムを実行してから処理時間のかかる部分を自動的に抽出する方法などが考えられる。ここでは、forループとその中の処理が指定されている。

コンパイル結果の機械語を第6図に示す。高速化処理部として指定された処理は、xで示す1ステップの特殊命令とされて生成されている。なお、この部分を高速化しなかった場合のコンパイル結果の機械語を第7図に示す。この場合には、yで示す5ステップの汎用命令が生成される。

このコンパイルによってコンパイラからは、汎用命令を表すオブジェクトコード、および特殊命令を表すオブジェクトコードが発生(ソフトウェア・コンパイル)される。これと同時に、特殊命令処理部7においてプログラマブル論理回路を構成させるための、回路データが生成(ハードウェア・コンパイル)される(ステップ107、109)。

生成された回路はデータプログラム書き込み制御回路9に与えられ、さらにデータプログラム書き込み制御回路9により、プログラマブル論理回路を構成させるための書き込みデータが作成される。この書き込みデータに従って特殊命令処理部7では、特殊命令を実現する論理回路が構成される(ステップ111、113)。

第8図は、特殊命令処理部7において構成された、特殊命令を実現する論理回路のブロック図である。

7

同図において、汎用命令処理部5内の00~05. glは、変数レジスタであり、第6図あるいは第7図で示した%00~%05. %glにそれぞれ対応している。iccも同様に変数レジスタであり、第6図あるいは第7図において%02と%05との値が一致した場合に、フラグが立てられるレジスタである。また、特殊命令処理部7内のinc4. incはインクリメント回路、cmpはコンパレータ、subは減算器を表し、第7図中のinc. cmp. subにそれぞれ対応している。これらの変数レジスタ、インクリメント回路、コンパレータ、および減算器は、第7図中yで示した汎用命令群と等価な機能を実現するような接続がなされている。

この論理回路は、第7図中yで示される5ステップのプログラムを1サイクルで実行する機能を持っている。

コンパイラから発生されたオブジェクトコードと、特殊命令処理部7において構成された論理回路とにより、特殊命令として実現された処理が高速に実行される。また、特殊命令として実現された処理以外の汎用命令として実現された部分は通常速度で実行される（ステップ115）。

1つの命令が1マシンサイクルで実行されるとすると、forループ内の命令群を1回実行するには、特殊命令を用いない場合は、第7図のyおよびその前後2ステップずつの合計9ステップあるため、9サイクルかかる。一方、特殊命令を用いた場合は、第6図のxおよびその前後2ステップずつの合計5ステップから5サイクルで済む。これにより、特殊命令を用いた場合は用いない場合に比べ、1.8倍の高速化が達成されたことになる。

このように、高速処理したい命令をプログラマブル論理回路によって実現させることにより、一般のアプリケーションプログラムについても高速に実行させることができる。

なお、今回の実施例では、命令を汎用命令と特殊命令

8

に分けて説明したが、汎用命令と特殊命令を混合した命令でも実施可能である。このような命令であれば、汎用命令処理部5と特殊命令処理部7とを同時に並列動作させることができ、より高速処理が可能となる。

〔発明の効果〕

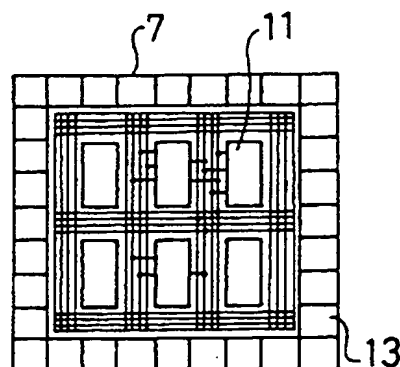
以上説明したように、この発明の電子計算機によれば、高速に実行したいアプリケーションプログラムを特殊命令とし、この命令に応じたプログラマブル処理回路を構成するようにした。これにより、それぞれの特殊命令に応じた最適な論理回路を構成することができ、任意のプログラムに対して柔軟な高速処理が実現可能となった。また、汎用命令処理部を備えたことにより、特に高速化を必要としない一般のアプリケーションプログラムも実行できる。

〔図面の簡単な説明〕

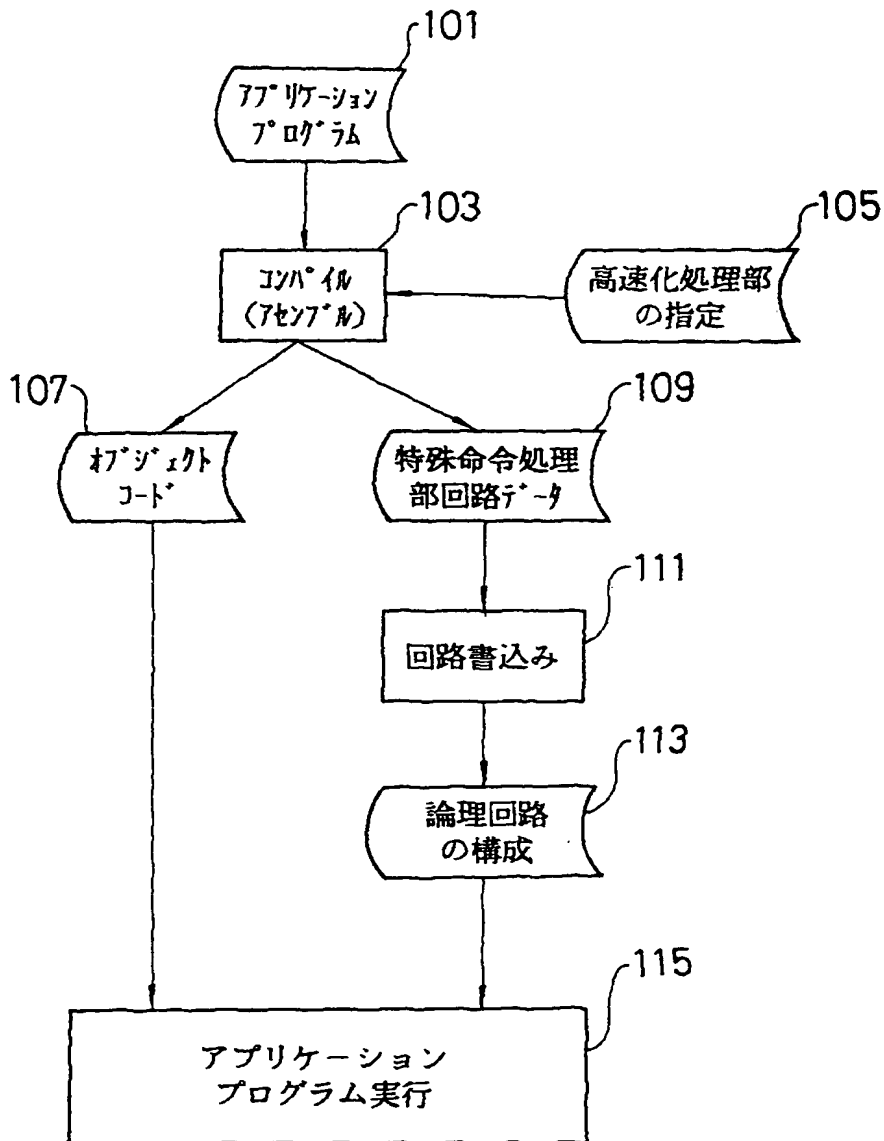
第1図はこの発明の電子計算機の一実施例の構成を示すブロック図、第2図および第3図は第1図で示した特殊命令処理部の一例の構成図およびその内部論理ブロック図、第4図はこの発明の作用を説明するためのフローチャート、第5図乃至第7図はアプリケーションプログラムの一例およびそのコンパイル結果、第8図はプログラマブル論理回路の構成例、第9図は従来のソフトウェア開発のステップを示すフローチャートである。

- 1……プログラム実行部
- 3……命令制御部
- 5……汎用命令処理部
- 7……特殊命令処理部
- 9……プログラム書き込み制御部
- 11……論理ブロック（CLB）
- 13……入出力ブロック
- 00~05. gl. icc……変数レジスタ
- inc4. inc……インクリメント回路
- cmp……コンパレータ
- sub……減算器

【第2図】



【第4図】



【第6図】

```

.seg "text"
.proc 4
.global _func
_func:
    mov 0,%o5
    cmp %o5,%o2
    bge L77005
    mov 0,%o4
LY1:
    ld [%o0],%g1
    ld [%o1],%o3
    x-----sil-----
    bl LY1
    add %o4,%g1,%o4
L77005:
    retl
    add %g0,%o4,%o0
.seg "data"
  
```

【第7図】

```

        .seg    "text"
        .proc    4
        .global _func

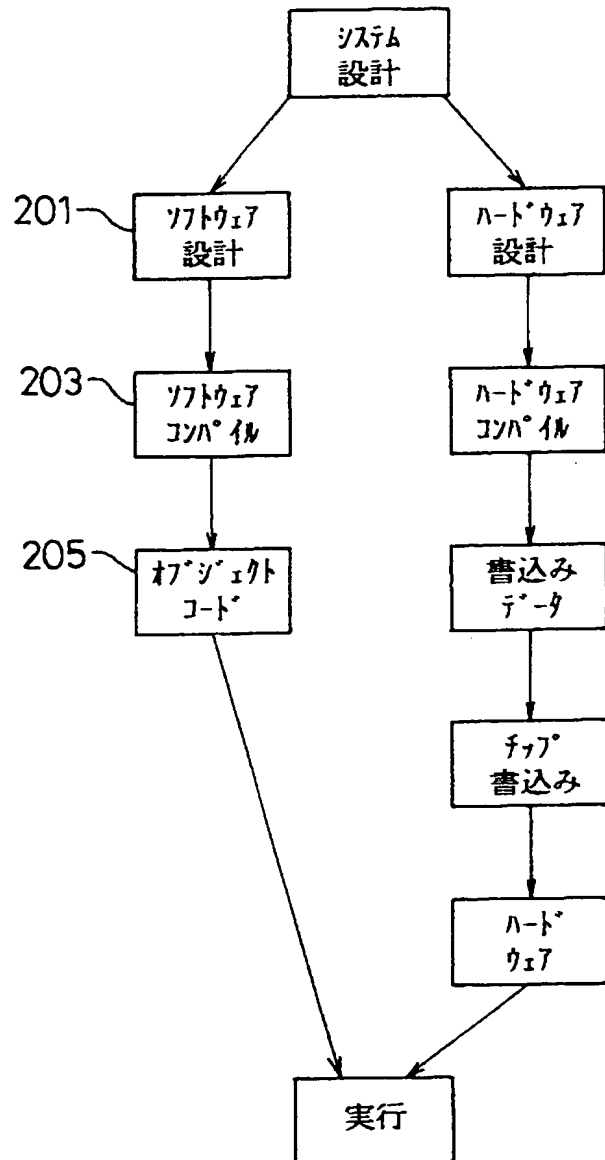
_func
    mov     0,%o5
    cmp     %o5,%o2
    bge     L77005
    mov     0,%o4

LY1:
    ld      [%o0]0,%g1
    ld      [%o1]0,%o3
    inc     %o5
    cmp     %o5,%o2
    sub     %g1,%o3,%g1
    inc     4,%o0
    inc     4,%o1
    bl      LY1
    add     %o4,%g1,%o4

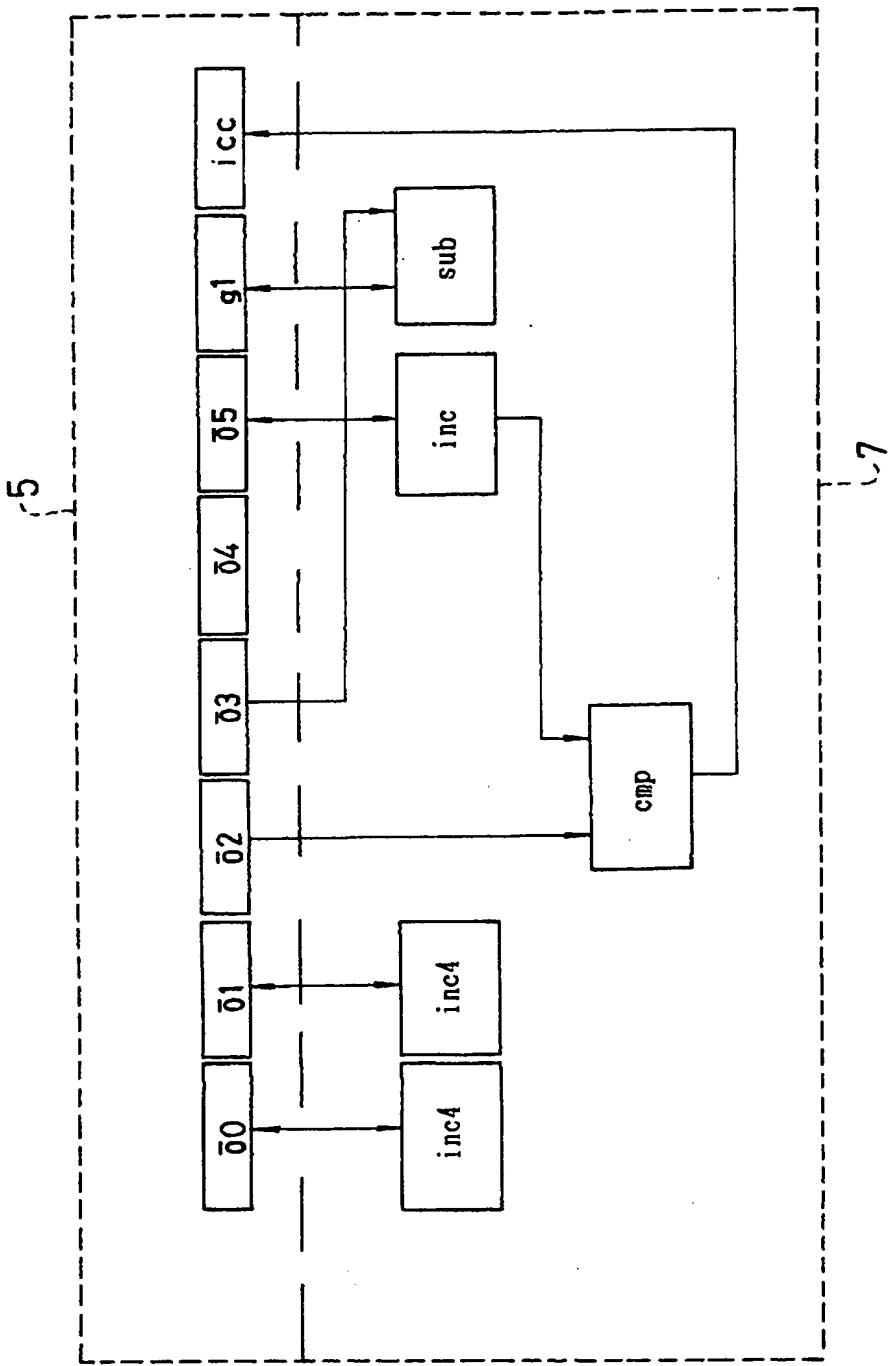
L77005:
    retl
    add     %g0,%o4,%o0
    .seg     "data"

```

【第9図】



【第 8 図】



フロントページの続き

(56) 参考文献 特開 平2-122364 (J P, A)
特開 平1-162971 (J P, A)
特開 平1-243165 (J P, A)
特開 平1-243166 (J P, A)
特開 平2-1084 (J P, A)
特開 平1-300536 (J P, A)
特開 平2-83678 (J P, A)
特開 平2-83676 (J P, A)
特開 平2-287604 (J P, A)
特開 平3-214370 (J P, A)
特開 平2-230480 (J P, A)
特開 平3-166625 (J P, A)
特開 平1-180045 (J P, A)
特開 昭64-65634 (J P, A)
特開 昭63-106833 (J P, A)
特開 昭63-61333 (J P, A)
特開 昭62-95635 (J P, A)
特開 平2-42534 (J P, A)

(58) 調査した分野 (Int. Cl. ⁷, D B 名)

G06F 9/38
G06F 9/30
G06F 15/78